

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

#2  
JC997 U.S. PTO  
09/921792



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 8月31日

出願番号

Application Number:

特願2000-262686

出願人

Applicant (s):

株式会社日立製作所

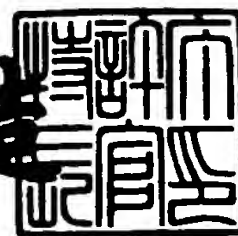
株式会社日立超エル・エス・アイ・システムズ

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 4月 6日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3026845

【書類名】 特許願

【整理番号】 H00012601

【あて先】 特許庁長官殿

【国際特許分類】 G06F 3/08

【発明者】

【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社 日立超エル・エス・アイ・システムズ内

【氏名】 ▲高▼橋 博政

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

【氏名】 磯 佳実

【発明者】

【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社 日立超エル・エス・アイ・システムズ内

【氏名】 大和 敏

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社 日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【電話番号】 03-3269-1430

【手数料の表示】

【予納台帳番号】 027177

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 媒体再生装置

【特許請求の範囲】

【請求項 1】 記録媒体を駆動する媒体駆動手段と、該媒体駆動手段を電氣的に制御し駆動する駆動回路と、上記媒体に記録されたデータを読み取り電気信号として出力する読取り手段と、該読取り手段の出力信号を増幅する増幅回路と、該増幅回路で増幅された読出し信号を処理してデータを再生する信号処理回路と、他の装置との通信を行なうインタフェース回路と、上記駆動回路、信号処理回路およびインタフェース回路を制御する制御装置とを備えた媒体再生装置であって、

上記制御装置は、ユニット単位で電氣的にデータ書込みが可能でありかつ上記ユニットよりも大きなブロック単位で電氣的に一括してデータ消去可能な不揮発性メモリとプログラムに従って動作する制御部とが 1 つの半導体チップ上に形成された半導体集積回路からなり、上記制御部は上記不揮発性メモリの所定の領域のユニットを管理し、該所定の領域に対してユニット単位でデータの書込みを順次行ない、該所定の領域に含まれる複数のユニットに対して書込みが行なわれた場合に上記所定の領域に含まれるブロックに対してデータ消去を行ない、該消去されたブロックにおけるユニットに対してデータの書込みを行なうように構成されていることを特徴とする媒体再生装置。

【請求項 2】 上記不揮発性メモリは、上記制御部を構成する素子を形成する工程と同一の工程で形成された素子により構成されていることを特徴とする請求項 1 に記載の媒体再生装置。

【請求項 3】 上記制御部は、上記不揮発性メモリに記憶されているアプリケーションプログラムの実行で発生したデータを当該不揮発性メモリの上記所定の領域にユニット単位で書き込むことを特徴とする請求項 1 または 2 に記載の媒体再生装置。

【請求項 4】 上記制御部による上記不揮発性メモリに関するユニット管理機能、データの書込み機能およびデータ消去機能は、上記不揮発性メモリに記憶されているアプリケーションプログラムによって実現されていることを特徴とす

る請求項 1 ～ 3 のいずれかに記載の媒体再生装置。

【請求項 5】 上記不揮発性メモリに書き込まれるデータは、上記媒体の種類に関する情報であることを特徴とする請求項 1 ～ 4 のいずれかに記載の媒体再生装置。

【請求項 6】 上記不揮発性メモリの上記所定の領域を構成する各ユニットには、当該ユニットのデータが有為か否かを示すデータが書き込まれることを特徴とする請求項 1 ～ 5 のいずれかに記載の媒体再生装置。

【請求項 7】 上記不揮発性メモリの上記所定の領域を構成する各ユニットには、当該ユニットのデータの信頼性をチェックするためのデータが書き込まれることを特徴とする請求項 1 ～ 6 のいずれかに記載の媒体再生装置。

【請求項 8】 上記媒体からのデータ読取り時に当該データの上記チェック用のデータを調べて読出しデータが異常であると判定したときは、当該データの書込み以前に書き込まれているデータを読み出すように構成されていることを特徴とする請求項 7 に記載の媒体再生装置。

【請求項 9】 上記不揮発性メモリの上記所定の領域に書き込まれるデータは、上記媒体駆動手段および読取り手段の製造ばらつきに関する情報であることを特徴とする請求項 1 ～ 8 のいずれかに記載の媒体再生装置。

【請求項 1 0】 上記不揮発性メモリの上記所定の領域に書き込まれるデータは、上記媒体をアクセスすることによって得られた媒体の特性に関する情報であることを特徴とする請求項 1 ～ 9 のいずれかに記載の媒体再生装置。

【請求項 1 1】 上記所定の領域は、複数のブロックを有し、前記ブロックのそれぞれは複数のユニットを有していることを特徴とする請求項 1 ～ 1 0 のいずれかに記載の媒体再生装置。

【請求項 1 2】 上記データ消去は、所定のデータの書込みであることを特徴とする請求項 1 ～ 1 1 のいずれかに記載の媒体再生装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、コンパクトディスクドライブ装置のような媒体再生装置に適用して

有効な技術に関し、例えばブロック単位で一括してデータの消去が可能なフラッシュメモリを内蔵したマイクロコンピュータ（以下、フラッシュメモリ内蔵マイコンと称する）を制御装置として有する媒体再生装置に利用して有効な技術に関する。

#### 【 0 0 0 2 】

##### 【従来の技術】

近年、外部記憶装置のような複雑な制御を必要とするパソコン周辺機器や通信機器においては、その制御装置としてマイクロコンピュータが使用されている。このうち特に光ディスクドライバや追記型のCDドライバなどのように数ヶ月おきに新製品が投入されるような機器においては、新機種を開発する度にそれに応じて制御用マイクロコンピュータのファームウェアすなわちマイクロプログラムを書き換える必要性が生じるため、フラッシュメモリのような書換え可能な不揮発性メモリを内蔵したマイクロコンピュータが多用されるようになって来ている。

#### 【 0 0 0 3 】

一例として、光ディスクドライバの例を図15に示す。図15において、400はパーソナルコンピュータ、200は光ディスクドライバであり、パーソナルコンピュータ400と光ディスクドライバ200とはケーブル300により接続され、ATAPI（AT Attachment Packet Interface）やSCSI（Small Computer System Interface）などのインタフェースによりデータの転送が行なわれる。

#### 【 0 0 0 4 】

光ディスクドライバ200には、スピンドルモータや光ピックアップなどのメカニカル部品の他に電子部品としてマイクロコンピュータ250を搭載した制御基板260が設けられている。従来、この制御基板260としては、多種多様な構成が採用されており、前述したように、マイクロコンピュータ250としてフラッシュメモリ内蔵マイコンを使用したものや通常のシングルチップマイコンを使用したものなどある。

#### 【 0 0 0 5 】

## 【発明が解決しようとする課題】

フラッシュメモリは、コントロールゲートおよびフローティングゲートを有する不揮発性記憶素子をメモリセルに使用した回路であり、その書き換え特性特に書き換え回数は、コントロールゲート下の絶縁膜やフローティングゲート下の絶縁膜の厚みなど素子の特性に依存することが多い。そのため、メモリデバイスとして提供される単体のフラッシュメモリにおいては、ゲート下の絶縁膜の形成工程等に特殊なプロセスを使用しており、それによってチップ単価が比較的高いものとなっている。一方、マイクロコンピュータチップは多種多様な製品が提供されており、フラッシュメモリを内蔵したからといってそれほど単価を高くすることはできない事情がある。

## 【0 0 0 6】

そのため、従来のフラッシュメモリを内蔵したマイクロコンピュータは、内蔵フラッシュメモリのために特殊なプロセスを採用するようなことはせず、本来のマイクロコンピュータを構成する素子のプロセスを使用してフラッシュメモリを構成する記憶素子を形成する手法がとられる。このようなマイクロコンピュータでは、内蔵フラッシュメモリの特性は犠牲にされており、その書き換え回数としては例えば100回程度が保証されているに過ぎない。

## 【0 0 0 7】

一方、光ディスクドライバや追記型のCDドライバなどの周辺装置にあっては、ファームウェア以外にも、装置のばらつきやメディアの種類に応じた書込み条件などを制御装置内部に記憶したいという要望がある。しかしながら、このようなデータを記憶するには、従来のフラッシュメモリで保証されている100回程度では不十分であり、1万回程度の書き換え回数の保証が要求されるようになってきている。

## 【0 0 0 8】

そこで、マイクロコンピュータ以外にEEPROMを搭載した制御基板を有する光ディスクドライバも現われている。しかしながら、マイクロコンピュータ以外にEEPROMを搭載するとそれだけシステムの価格が高くなってしまいう課題がある。

## 【 0 0 0 9 】

この発明の目的は、記憶素子それ自身の書換え可能回数は少なくとも外部から見た書換え回数を大幅に多くすることができるフラッシュメモリを内蔵したマイクロコンピュータを提供し、これによってEEPROMを必要としない安価な媒体再生装置を実現できるようにすることにある。

## 【 0 0 1 0 】

この発明の他の目的は、最終ユーザーの使用状態においてもシステムに関わるデータを内蔵メモリに比較的多くの回数書き込むことができ、しかもコストアップを抑えることができるマイクロコンピュータを搭載した媒体再生装置を提供することにある。

## 【 0 0 1 1 】

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

## 【 0 0 1 2 】

## 【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

## 【 0 0 1 3 】

すなわち、媒体再生装置の制御装置として使用されるマイクロコンピュータに内蔵された不揮発性メモリのユーザデータ記憶領域のような所定の領域を、ユニット単位で書込みを行なえかつブロック単位で消去を行なえるように構成するとともに、ユーザデータ記憶領域への書込み処理が発生した場合には上記ユニットを更新しながらデータの書込みを順次行ない、全ユニットに対して書込みが行なわれた場合には上記所定の領域に含まれるブロックのデータ消去を行ない、この消去されたブロックに対して次のデータの書込みを行なうように構成したものである。

## 【 0 0 1 4 】

より具体的には、データが記録された媒体を駆動する媒体駆動手段と、該媒体駆動手段を電氣的に制御し駆動する駆動回路と、上記媒体に記録されたデータを



読み取り電気信号として出力する読取り手段と、該読取り手段の出力信号を増幅する増幅回路と、該増幅回路で増幅された読出し信号を処理してデータを再生する信号処理回路と、他の装置との通信を行なうインタフェース回路と、上記駆動回路、信号処理回路およびインタフェース回路を制御する制御装置とを備えた媒体再生装置であって、上記制御装置は、ユニット単位で電氣的にデータ書込みが可能でありかつ上記ユニットよりも大きなブロック単位で電氣的に一括してデータ消去可能な不揮発性メモリとプログラムに従って動作する制御部とが1つの半導体チップ上に形成された半導体集積回路からなり、上記制御部は上記不揮発性メモリの所定の領域のユニットを管理し、該所定の領域に対してユニット単位でデータの書込みを順次行ない、該所定の領域に含まれる複数のユニットに対して書込みが行なわれた場合に上記所定の領域に含まれるブロックに対してデータ消去を行ない、該消去されたブロックにおけるユニットに対してデータの書込みを行なうように構成したものである。

## 【 0 0 1 5 】

上記した手段によれば、制御装置としてのマイクロコンピュータに内蔵された不揮発性メモリは、その記憶素子それ自身の書換え可能回数は少なくとも外部から見た書換え回数を大幅に多くすることができる。これによって、EEPROMを必要としない安価な媒体再生装置を実現することができる。

## 【 0 0 1 6 】

なお、上記の場合、所定の領域に含まれるブロックの数は1つでも良いし、2以上であっても良い。そして、ブロックの数が2以上の場合には、ブロックのデータを消去する際に全ブロックのデータを一括して消去しても良いし、いずれか1つのブロックのデータのみ消去するようにしても良い。

## 【 0 0 1 7 】

また、上記した手段は、制御装置に内蔵された上記不揮発性メモリが、上記制御部を構成する素子を形成する工程と同一の工程で形成された素子により構成されている場合に特に有効である。不揮発性メモリを構成する素子が制御部を構成する素子を形成する工程と異なる工程で形成される場合には、書換え回数の多い記憶素子を形成することができるが、不揮発性メモリが制御部の構成素子を形成

する工程と同一の工程で形成された素子により構成される場合には、記憶素子の書換え可能回数は少なくなるので、上記手段を適用することが有効となる。

## 【 0 0 1 8 】

さらに、上記した手段は、上記制御部が、不揮発性メモリに記憶されているアプリケーションプログラムの実行で発生したデータを当該不揮発性メモリの上記所定の領域にユニット単位で書き込む場合に有効である。システムの制御に必要な初期設定データは変更を要しないことが多いのに対し、アプリケーションプログラムの実行で発生するデータは書換えを必要とすることが多く、また、アプリケーションプログラムの実行で発生したデータを記憶することはその後の制御に極めて役に立つからである。

## 【 0 0 1 9 】

また、望ましくは、上記制御部による上記不揮発性メモリに関するユニット管理機能、データの書込み機能およびデータ消去機能は、上記不揮発性メモリに記憶されているアプリケーションプログラムによって実現する。これによって、ハードウェアを変更することなく所望の機能を実現することができるため、機能の変更を迅速に行なうことが可能になるとともにシステムの柔軟性が向上する。

## 【 0 0 2 0 】

さらに、上記した手段は、上記不揮発性メモリに書き込まれるデータが上記媒体の種別に関する情報である場合に有効である。現在、市場には多種多様な媒体が提供されているので、媒体の種別に関する情報を不揮発性メモリに記憶することにより、媒体毎に最適なアクセスが可能となり、アクセス時間の短縮およびデータの信頼性向上が可能となる。

## 【 0 0 2 1 】

また、上記不揮発性メモリの上記所定の領域を構成する各ユニットには、当該ユニットのデータが有為か否かを示すデータ（検索用データ）が書き込まれるようにするのが望ましい。これによって、ユニットを順番に読み出して上記検索用データを判定することで最新のデータが記憶されているユニットを検出することができ、効率の良いユニット検索が可能となる。

## 【 0 0 2 2 】

さらに、上記不揮発性メモリの上記所定の領域を構成する各ユニットには、当該ユニットのデータの信頼性をチェックするためのデータが書き込まれるようにする。これによって、読み出されたデータの信頼性を保証することができる。

【 0 0 2 3 】

さらに、上記媒体からのデータ読取り時に当該データのチェック用データを調べて読出しデータが異常であると判定したときは、当該データの書込み以前に書き込まれているデータを読み出すように構成する。これにより、前回の書込みの際に書込み不良が発生したような場合に、信頼性のないデータが読み出されたり、読出しデータが全く得られないような事態が発生するのを回避することができる。

【 0 0 2 4 】

上記した手段は、不揮発性メモリの上記所定の領域に書き込まれるデータが、媒体駆動手段および読取り手段の製造ばらつきに関する情報である場合に有効である。媒体再生装置のメカニズムのばらつきに関する情報がメモリに記憶されることにより、そのばらつきを補正した最適なアクセスが可能となり、アクセス時間の短縮およびデータの信頼性向上が可能となる。

【 0 0 2 5 】

また、上記した手段は、不揮発性メモリの上記所定の領域に書き込まれるデータが、媒体をアクセスすることによって得られた媒体の特性に関する情報である場合に有効である。媒体の特性に関する情報を不揮発性メモリに記憶することにより、次に同一の媒体が挿入された場合にその媒体に関する情報を読み出すことで速やかにその媒体に最適な条件でアクセスすることが可能となり、アクセス時間の短縮およびデータの信頼性向上が可能となる。

【 0 0 2 6 】

【発明の実施の形態】

以下、本発明の好適な実施例を図面に基づいて説明する。

【 0 0 2 7 】

図 1 は本発明が適用されるフラッシュメモリ内蔵マイコンの一例の概略構成を示す。

## 【 0 0 2 8 】

図 1 において、符号 F L A S H で示されているのはフローティングゲートおよびコントロールゲートを有する 2 層ゲート構造の M O S F E T からなるメモリセルがマトリックス状に配置されたメモリアレイを備えたフラッシュメモリ、F C N T はフラッシュメモリに対する書込みや消去などを行なうフラッシュコントローラ、C P U はチップ全体の制御を司る中央処理ユニット、R A M はデータを一時記憶したり中央処理ユニット C P U の作業領域を提供するランダムアクセスメモリ、P R P は各種タイマ回路や A / D 変換回路、システム監視用のウォッチドッグタイマなどの周辺回路、B U S は上記中央処理ユニット C P U とフラッシュメモリ F L A S H、フラッシュコントローラ F C N T、R A M、インタフェース回路 S C I 間を接続する内部バス、I / O は内部バス B U S 上の信号を外部バスへ出力したり外部バス上の信号を取り込んだりする入出力バッファや外部装置との間でシリアル通信を行なうシリアル通信ポートなどの入出力ポートを含むインタフェース回路、B S C は内部バス B U S のバス占有権の制御等を行なうバスコントローラである。

## 【 0 0 2 9 】

フラッシュコントローラ F L C はコントロールレジスタを備え、C P U がフラッシュメモリや R A M 内に格納されたプログラムに従って、上記コントロールレジスタに書込みを行なうとフラッシュコントローラ F L C がコントロールレジスタのビット状態に応じてフラッシュメモリ回路 F L A S H に対する制御信号を形成して書込みや消去、読出し、ペリファイ等の動作を行なわせるように構成される。

## 【 0 0 3 0 】

フラッシュコントローラ F L C には、上記書込み消去制御用のコントロールレジスタの他に、消去時にメモリアレイ内の複数のブロックのうち消去ブロックを選択するための消去選択レジスタ、電圧トリミング用の値を設定するレジスタ、メモリアレイ内の欠陥ビットを含むメモリ列を予備のメモリ列に置き換えるための救済情報を保持するレジスタが設けられる。なお、特に制限されないが、このトリミング用レジスタの値もフラッシュメモリ回路 F L A S H 内の所定のエリア

に記憶し、リセット時にフラッシュメモリ回路から読み出してトリミング用レジスタに設定するようにすることができる。

#### 【0031】

また、図1には示されていないが、上記回路ブロックの他に、CPUに対する割込み要求の発生および優先度を判定して割り込みをかける割込み制御回路、RAMとフラッシュメモリFLASH等との間のDMA（ダイレクトメモリアクセス）転送を制御するDMA転送制御回路や、システムの動作に必要なクロック信号を発生する発振器などが必要に応じて設けられることもある。

#### 【0032】

本実施例のフラッシュメモリ内蔵マイコンにおいては、図1に示されている回路ブロックはすべて1つの単結晶シリコンのような半導体チップ上に形成される。しかも、フラッシュメモリFLASHは、CPUを構成する素子を形成するプロセスをできるだけ利用して記憶素子が形成されるようにされている。すなわち、フラッシュメモリを構成する素子を形成するための専用の工程をゼロもしくはできるだけ少なくしたプロセスが使用される。

#### 【0033】

この実施例においては、例えば図2に示すように、中央処理ユニットCPUのアドレス空間H0000000～HFFFFFFFのうち、H0000000～H03FFFFFFFが内蔵フラッシュメモリFLASHの記憶領域として割り当てられ、さらにそのうちH0010000から始まる12kバイトがユーザデータエリアUDAとして割り当てられる。また、H0000000～H000FFFFFはCPUへの割込み発生の際に使用されるベクタテーブルの領域VTAとして割り当てられ、上記以外の領域はユーザが開発したアプリケーションプログラム（以下、ユーザプログラムと称する）の格納領域UPAとして割り当てられる。

#### 【0034】

さらに、12kバイトのユーザデータエリアUDAは、128バイトを1ユニットとして96個のユニットUNT1～UNT96に分割され、このユニットを単位として書込みが行われるように構成される。また、ユーザデータエリアUDAは、4kバイトずつすなわち32ユニットずつ3つのブロックEB1～EB3

に分割され、ブロックを単位として消去が行われるように構成されている。

【0035】

そして、この実施例では、ユーザプログラムによるユーザデータエリアUDAへの書込みが発生すると、図3に示されているように、ユニットUNT1から順に1ユニットずつ書込みを行なって行き、最後のユニットUNT96まで書込みが終了すると、この時点でブロックEB1～EB3を一括して消去してから、再びユニットUNT1から順に1ユニットずつ書込みを行なって行くように、書込み・消去制御が行なわれる。なお、消去単位となる1ブロックの大きさは4kバイトに限定されないとともに、フラッシュメモリ全体が同一の大きさのブロックで構成される必要はなく、例えばユーザプログラムエリアUPAは32kバイトや64kバイトの大きさのブロックで構成することができる。

【0036】

上記のような書込み・消去方式に従うと、各ユニットそれぞれの書換え許容回数が100回であると仮定すると、全体で $96 \times 100 = 9600 \div 1$ 万ユニットのデータ書込みが可能となる。従来のフラッシュメモリ内蔵マイコンでは、ユーザデータエリアは全体が1ユニットとして扱われており、ユーザデータエリアへの書込みが発生すると、全体を書き換えるつまりユーザデータエリア全体を一括消去した後に書込みを行なうようにしていたため、データの書換えを100回行なうとそれ以上は保証がされていなかった。そのため、フラッシュメモリの書換えを100回行なうと、データの信頼性が低下していたが、本実施例のような書込み・消去方式に従うと、1回の書込みをユニット単位（128バイト）で行なうとすると、見かけ上約100倍の書換えが保証されることとなる。

【0037】

なお、書込みデータが128バイト以上であれば、2以上のユニットにまたがってデータを書込んでやる必要があるが、本発明が応用を想定している光ディスクドライバやCDドライバのようなシステムでは、1回の書込みデータが128バイト以下であることが多いので、実質的に約1万回の書換えが保証されたのと同様なメリットが得られる。

【0038】

図4には、上記のような書込み制御を実現する本発明の概略構成を示す。図4において、左側のブロックUDAはフラッシュメモリ内に設定されたユーザデータエリア、中央のブロックUDMMは本発明で必要とされるユーザデータ管理モジュール、UPはこのモジュールUDMMの管理下にあるユニットポインタ、PATはユニットポインタUPの値から当該ユニットのCPU空間での物理アドレスを得るためポインタと物理アドレスとの関係をデータテーブル形式で保持するアドレス変換テーブルである。このアドレス変換テーブルPATは、例えば内蔵フラッシュメモリFLASHのユーザプログラム領域UPAに設けられる。

#### 【0039】

上記ユーザデータ管理モジュールUDMMは、ユーザプログラムUPRGからユーザデータエリアUDAへの書込み要求を受けると、ユニットポインタを参照して次に書き込むべきユニットを自動的に検索して見つけたユニットにデータを書き込む機能を有するように構成される。かかる機能を有するモジュールは、ハードウェアでもソフトウェアでも実現可能であるが、ここでは、ソフトウェアで実現する場合の実施例について説明する。従って、ユーザデータ管理モジュールUDMMは、ユーザプログラムの一部にサブルーチンとして構成されることもある。その場合、ユーザデータ管理モジュールUDMMは、ユーザプログラムのメインルーチンもしくは他のサブルーチン等からの書込み要求で起動されるように構成される。ユニットポインタUPは、RAMや汎用レジスタの一部に設けられる。

#### 【0040】

さらに、以下に説明するユーザデータ管理モジュールUDMMは、特に制限されるものでないが、ユーザデータを正確に管理するため、図5に示すように、ユーザデータのユニットごとに検索用タグバイトRTBとチェック用データSUMを付記するように構成される。上記検索用タグバイトRTBとチェック用データSUMは、それぞれ例えば1バイト（8ビット）のような大きさとされる。従って、1ユニットのユーザデータの実質的な大きさは126バイトである。

#### 【0041】

上記検索用タグバイトRTBにはフラッシュメモリに書込みが行なわれる際に

16進数表示でH“00”が設定されるとともに、チェック用データSUMには126バイトのユーザデータの全ビットの“1”を足し込んだ値SUMが設定される。従って、検索用タグバイトRTBにH“00”が設定されるとそのユニットの126バイトのユーザデータは書き込み済み（有為）であることを意味していることとなる。図6には、ユーザデータエリアUDAのユニットUNT5までデータが書き込まれている場合のデータ記憶状態が示されている。特に制限されるものでないが、この実施例では、消去状態のメモリセルはそのしきい値が高い状態にされ、記憶データが論理“1”に対応される。従って、図6の例では、ユニットUNT6～UNT96の記憶データは、オール“1”すなわち16進数で“FFFFFFFF………FF”と表わされている。

#### 【0042】

図7～図9には、ユーザデータ管理モジュールUDMMをソフトウェアで構成する場合の3つの基本的な関数（プログラムにおけるサブルーチン）の具体例がフローチャートで示されている。ここで、3つの基本的な関数とは、ユニットポインタの管理すなわちフラッシュメモリ内の次に書き込むべきユニットを検索するユニット検索処理（図7）を実現する関数と、検索したユニットに対してユーザデータを書き込むユーザデータライト処理（図8）を実現する関数と、ユーザデータエリアUDAからデータを読み出すユーザデータリード処理（図9）を実現する関数である。

#### 【0043】

特に制限されるものでないが、図7のユニット検索処理は、システムの立上がり時等に実行される。このユニット検索処理が開始されると、先ずユニットポインタUPを「0」に設定する（ステップS11）。次のステップS12では、ユニットポインタUPをインクリメント（+1）してから、そのユニットポインタUPが示すユニットの先頭の1バイトすなわち検索用タグバイトRTBを読み出す（ステップS13）。なお、このときアドレス変換テーブルPATを参照して、ユニットポインタUPの値から当該ユニットのCPU空間での物理アドレスに変換してその物理アドレスでフラッシュメモリをアクセスして対応するユーザデータを読み出す処理が行なわれる。アドレス変換テーブルPATを参照して物理



アドレスを得る代わりに、ユニットポインタUPの値に対して所定の演算を行なって物理アドレスを得ることも可能である。具体的には、ユニットポインタUPの値 $\times 128$ （＝1ユニットのバイト数）＋ユーザデータエリアUDAの先頭アドレス（H“001000”）でアクセスする物理アドレスを得ることができる。

#### 【0044】

次に、ステップS14では、フラッシュメモリから読み出されたユニットデータの先頭の検索用タグバイトRTBがH“00”であるか否かチェックする。そして、RTB＝H“00”すなわちデータが“有為”のときは、ステップS16へ移行してユニットポインタの値が「96」か否か判定し、当該ユニット検索処理を終了する。一方、ステップS16で、RTB $\neq$ H“00”すなわちデータが“未書込み”であると判定したときは、ステップS12へ戻ってユニットポインタUPの値をインクリメントして、再びデータを読み出して先頭の検索用タグバイトRTBがH“00”であるか否かチェックする。

#### 【0045】

このようにしてユニットポインタを1ずつ加算しながらデータの先頭の検索用タグバイトRTBをチェックして行くことによって、ユーザデータが書き込まれている最終ユニットの次のユニット番号（図6に示されている例ではUNT6）が検出される。このユニットが検出されるとステップS15へ移行してユニットポインタUPの値をデクリメント（－1）して、当該ユニット検索処理を終了する。これによって、ユニットポインタUPには、ユーザデータが書き込まれている最終ユニットのユニット番号（図6に示されている例ではUNT5）が保持される。

#### 【0046】

なお、図7のフローチャートの最後のステップS16にユニットポインタUPの値をデクリメント（－1）する処理があるため、フラッシュメモリの消去後、ユーザデータエリアへの書込みがなされていない場合には、ユニットポインタUPの値が「0」に戻される。これによって、後述の図9のユーザデータリード処理における応答が速やかに行なえるようになる。

## 【 0 0 4 7 】

図 7 のフローチャートでは、先頭のユニットから順番に検索を行なう例を示したが、最後のユニットから順番に検索を行なうようにしてもよい。また、先ず先頭のユニット UNT 1 をチェックしてデータが“有為”と判定された場合には次に中間のユニット（例えば UNT 4 8）をチェックし、その結果データが“未書込み”と判定された場合には「UNT 1」と「UNT 4 8」の中間のユニット（例えば UNT 2 4）、一方データが“有為”と判定された場合には「UNT 4 8」と「UNT 9 6」の中間のユニット（例えば UNT 7 2）……のように検索エリアを順次 2 分割して効率良く対象を見つける 2 分検索法を適用することも可能である。

## 【 0 0 4 8 】

図 8 のユーザデータライト処理は、ユーザプログラムからユーザデータの書込み要求があると開始される。この処理が開始されると、先ずフラッシュメモリに書き込むべきユーザデータ（外部装置から送信されて I O インタフェース回路などに保持されている）を、1 2 6 バイトの単位で読み込んで RAM の所定の領域に格納する（ステップ S 2 1）。このとき、ユーザデータが 1 2 6 バイトに満たなければ、実ユーザデータ以外の部分のデータは論理“1”または論理“0”にする。具体的には、例えば、実ユーザデータが 1 0 0 バイトのときは、この 1 0 0 バイトのデータの後ろに全ビットが論理“1”または論理“0”である 2 6 バイトのデータを付加する。しかる後、ユーザデータの部分の各ビットを足し込んで SUM 値を算出する（ステップ S 2 2）。

## 【 0 0 4 9 】

次のステップ S 2 3 では、ユニットの先頭の 1 バイトにオール“0”（1 6 進数の H“0 0”）を設定するとともに、先頭から 2 バイト目にステップ S 2 2 で算出された SUM 値を入れ、その後に 1 2 6 バイトのユーザデータを付加した図 5 のような構造を有する 1 2 8 バイト長のユーザデータを生成する。それから、次のステップ S 2 4 で、ユニットポインタ UP を参照してポインタの値が「9 6」か否か判定し、「9 6」でないときはポインタ UP の値をインクリメント（+ 1）する（ステップ S 2 5）。そして、そのポインタの示すユニットに、1 2 8

バイトのライトデータを書き込んで当該処理を終了する（ステップS 2 6）。なお、このステップS 2 6では、アドレス変換テーブルPATを参照して、ユニットポインタUPの値から当該ユニットのCPU空間での物理アドレスに変換して、その物理アドレスでフラッシュメモリをアクセスして書き込みを行なうようにしている。

#### 【 0 0 5 0 】

一方、上記ステップS 2 4で、ユニットポインタUPの値が「9 6」でないと判定されると、ステップS 2 7へ移行して、フラッシュメモリのユーザデータエリアUDAの消去が行なわれる。このとき、ユーザデータエリアUDAを構成する3つのブロック全てに対してデータ消去を行なっても良いが、1つのブロックに対してのみデータ消去を行なうようにすることも可能である。そして、ステップS 2 7で消去が終了すると、次のステップS 2 8でユニットポインタUPの値を「1」に設定してステップS 2 6へ移行し、ポインタの示すユニットに1 2 8バイトのライトデータを書き込んで当該処理を終了する。

#### 【 0 0 5 1 】

図9のユーザデータリード処理は、ユーザプログラムからユーザデータの読出し要求があると開始される。この処理が開始されると、先ずステップS 3 1でユニットポインタUPを参照してポインタの値が「0」か否か判定する。そして、ユニットポインタUPの値が「0」であれば、図7のフローチャートで説明したように、フラッシュメモリのユーザデータエリアUDAに対して未だユーザデータの書き込みがなされていないことを意味しているので、ステップS 3 7へ移行して直ちにユーザデータの「未書き込み」を、ユーザプログラムに対して応答して終了する。これによって、ユーザプログラムの待ち時間を短くすることができる。

#### 【 0 0 5 2 】

ステップS 3 1でユニットポインタUPの値が「0」でないと判定されると、ステップS 3 2へ移行して、ユニットポインタUPが示すユニットからユーザデータを読み出す。なお、このステップS 3 2では、アドレス変換テーブルPATを参照して、ユニットポインタUPの値から当該ユニットのCPU空間での物理アドレスに変換して、その物理アドレスでフラッシュメモリをアクセスして読出

しを行なう。

【 0 0 5 3 】

次のステップ S 3 3 では、ステップ S 3 2 で読み出されたユニットデータの先頭から 3 バイト目以降のユーザデータの部分の各ビットを足し込んで SUM 値を算出し、算出された値とリードデータの 2 バイト目の SUM 値とを比較してエラーの有無を判定する（ステップ S 3 4）。ここで、「エラーなし」と判定すると次のステップ S 3 5 でリードデータに誤りがないことをユーザプログラムに応答して当該リード処理を終了する。このように、リードデータの SUM 値をチェックすることにより、リードデータの信頼性が高くなるという利点がある。

【 0 0 5 4 】

一方、ステップ S 3 4 で「エラーあり」と判定すると、ステップ S 3 6 へ移行して、リードデータに誤りがあったことをユーザプログラムに応答して当該リード処理を終了する。なお、ステップ S 3 4 で「エラーあり」と判定した場合、ステップ S 3 6 でリードデータに誤りがあったことをユーザプログラムに応答してから、ユニットポインタ PC をデクリメント（- 1）して一つ前のユニットのデータを代わりに読み出すような処理を行なうことも可能である。従来の書込み・消去方式では、電源遮断やノイズ等の原因で書込み不良があるとユーザデータリード処理でリードデータが得られない場合があったが、本実施例に従うと、それ以前書き込まれたデータがフラッシュメモリに残っているので、そのデータを利用することで柔軟な対応が可能となる。

【 0 0 5 5 】

図 7 ～ 図 9 を用いて説明した上記関数若しくはそれを実行するサブルーチン・プログラムは、ユーザプログラムの中に組み込んでしまうことが可能である。ただし、CPU が実行する当該システムの OS（オペレーティング・システム）の中に組みこんでおくことも可能である。そして、CPU が実行するこの OS は、ユーザプログラムと同様に、フラッシュメモリ内のユーザプログラムエリアとは別個のエリアに記憶しておいても良いし、外部メモリに記憶されている OS を内部の RAM に読み込んで実行するように構成することも可能である。

【 0 0 5 6 】

また、上記ユーザデータ管理モジュールUDMMは、前述したように、ソフトウェアで実現する代わりにハードウェアでも実現することも可能であり、その場合、そのような機能は図1に示されているフラッシュコントローラFCNT内部に設けるようにすることができる。ただし、前記実施例のように、ソフトウェアで実現するのが最も簡単であり、また変更に伴うコストも少なく済むという利点がある。

## 【0057】

図10には、上記フラッシュメモリ回路FLASHの概略構成が示されている。図10において、11は図11に示されているようなフローティングゲートF-GATEとコントロールゲートC-GATEとを有する2層ゲート構造のMOSFETからなる不揮発性記憶素子としてのメモリセルがマトリックス状に配置されたメモリアレイ、12はバスBUSより入力された書込みデータを保持するデータレジスタ、13はこのデータレジスタ12に保持されたデータに基づいて上記メモリアレイ11に対してユニット単位で書込みを行なう書込み回路である。

## 【0058】

また、14はアドレス信号を保持するアドレスレジスタ、15はメモリアレイ11内のワード線の中から上記アドレスレジスタ14に取り込まれたXアドレスに対応した1本のワード線を選択するXデコーダ、16はアドレスレジスタ14に取り込まれたYアドレスをデコードして1ユニット内の1バイト（あるいは1ワード）のデータを選択するYデコーダ、17は消去対象となるブロックを選択し消去電圧を印加してブロック単位の消去を行なう消去制御回路、18はメモリセルアレイ11より読み出されたデータを増幅して出力するセンスアンプである。

## 【0059】

さらに、フラッシュメモリには、上記各回路ブロックの他、CPUから供給されるコマンドや制御信号に基づいてフラッシュメモリの各回路ブロックを制御する制御信号を形成する制御回路27、アドレス信号やデータ信号の入出力を行なうI/Oバッファ回路23、外部から供給される電源電圧Vccに基づいて書込み

電圧、消去電圧、読出し電圧、ベリファイ電圧等チップ内部で必要とされる電圧を生成する電源回路 2 5、メモリの動作状態に応じてこれらの電圧の中から所望の電圧を選択してメモリアレイ 1 1 に供給する電源切替回路 2 6 等が設けられている。

#### 【 0 0 6 0 】

現在、フラッシュメモリ内蔵マイコンに搭載されるフラッシュメモリには、F N トンネルにより記憶素子に書込みを行なう方式とドレイン電流を流してホットエレクトロンに書込みを行なう方式がある。いずれも素子構造は同一であり、書込み時のバイアス電圧が異なる。図 1 1 にはこのうち F N トンネル方式のフラッシュメモリにおける書込み時と消去時のバイアス状態を示す。F N トンネル方式の方が書込み電流が少ないので、1 本のワード線に接続された 1 2 8 バイトのようなユニット単位で一括書込みすることができ、書込み所要時間は短くなるため本実施例では F N トンネル方式の記憶素子を用いている。ただし、本発明はこれに限定されるものでなく、ホットエレクトロン方式のフラッシュメモリであっても良い。ホットエレクトロン方式の場合、1 バイトのような単位で書込みを行ない、これを 1 2 8 回繰り返すことで 1 ユニットの書込みが実行される。

#### 【 0 0 6 1 】

F N トンネル方式のフラッシュメモリにおける書込み動作では、図 1 1 (A) に示すように不揮発性記憶素子のドレイン領域 D の電圧を例えば 6. 7 V (ボルト) にし、コントロールゲート C - G A T E が接続されたワード線を例えば - 1 0. 0 V にすることにより、フローティングゲート F - G A T E から負電荷をドレイン領域 D へ引き抜いて、しきい値電圧を低い状態 (論理 “0”) にする。また、消去動作では、図 1 1 (B) に示すように、ソース領域 S および基体 P - S U B を例えば - 1 0. 0 V にし、コントローゲート C - G A T E を 1 0. 5 V のような高電圧にしてフローティングゲート F - G A T E に負電荷を注入してしきい値を高い状態 (論理 “1”) にする。これにより 1 つの記憶素子に 1 ビットのデータが記憶される。ただし、バイアス電圧は上述の例に限定されるものでない。

#### 【 0 0 6 2 】

図 1 2 にはメモリアレイ 1 1 の具体的な構成例を示す。この実施例のメモリアレイ 1 1 は、図 1 2 に示すように、列方向に配列され各々ソースおよびドレインが共通接続された並列形態の  $n$  個のメモリセル（フローティングゲートを有する MOSFET） $MC_1 \sim MC_n$  からなるメモリ列  $MCC$  が行方向（ワード線  $WL$  方向）および列方向（ビット線  $BL$  方向）にそれぞれ複数個配設されている。図 1 2 には、そのうち代表的に 4 つのメモリ列  $MCC$  が示されており、これがすべてではない。

#### 【0063】

各メモリ列  $MCC$  は、 $n$  個のメモリセル  $MC_1 \sim MC_n$  のドレインおよびソースがそれぞれ共通のローカルドレイン線  $LDL$  および共通のローカルソース線  $LSL$  に接続され、ローカルドレイン線  $LDL$  は選択スイッチ MOSFET  $Q_{s1}$  を介してビット線  $BL$  に、またローカルソース線  $LSL$  は選択スイッチ MOSFET  $Q_{s2}$  によって共通ソース線  $CSL$  に接続される。さらに、共通ソース線  $CSL$  は切替えスイッチ  $SW_1$  を介して接地点または消去電圧供給端子  $V_{es}$  に接続可能に構成されている。

#### 【0064】

この実施例のフラッシュメモリでは、この共通ソース線  $CSL$  に接続されるメモリセルが 1 ブロック  $EB$  を構成し、消去の単位とされる。一方、横方向のメモリセル  $MC$  のコントロールゲートは共通のワード線  $WL_{11}, WL_{12} \dots WL_{1n}; WL_{21}, WL_{22} \dots WL_{2n}$  にそれぞれ接続され、1 本のワード線に共通に接続されたメモリセルが 1 ユニット（1 セクタ）を構成し、書込みの単位とされる。1 ブロックのメモリセルを 1 つのウェル領域上に形成してそのウェルとコントロールゲートとの間に電圧を印加して消去を行なう方式も可能である。

#### 【0065】

各ビット線  $BL$  には  $Y$  デコーダの選択信号によりオン、オフ制御されるカラムスイッチ  $Q_y$  を介してセンスアンプ  $SA$  が接続されており、データ読出し時には、ワード線  $WL$  が選択レベルにされてメモリセルがそのしきい値に応じてドレイン電流が流れる流れないかによって変化するビット線  $BL$  の電位がセンスアンプ  $SA$  により増幅され、検出される。データ書込み時には、センスアンプ  $SA$  に書

込みデータが保持され、そのデータに応じてビット線BLさらにはローカルドレイン線LDLを介して選択されたメモリセルのドレインに書込み電圧が印加される。

#### 【0066】

また、書込み時には、供給されたアドレスに対応した1本のワード線が選択されて-10Vのような書込み電圧が印加される。このとき、ビット線BLに書込みデータの対応するビットに応じて、それが論理“0”のときは6.7Vのような電位が印加され、論理“1”のときは0Vの電位が印加される。そして、ビット線BLの電位が6.7Vであるメモリセルにおいては、フローティングゲートからの電荷の引き抜きが行なわれてしきい値が低い状態（論理“0”）にされる。一方、ビット線BLの電位が0Vであるメモリセルにおいては、フローティングゲートからの電荷の引き抜きが行なわれず、しきい値は高い（論理“1”）ままにされる。

#### 【0067】

データ消去時には、1ブロックEB内のすべてのワード線が10.5Vのような電位にされるとともに、このワード線に接続されているメモリセルはそのドレイン側の選択スイッチMOSFET Qs1がオフされてドレインがオープン状態とされ、ソース側の選択スイッチMOSFET Qs2がオンされるとともに切替えスイッチSW1が消去電圧端子Ves側に切り替えられてソースに-10.0Vのような負電圧が印加される。これによって、1ブロック内のすべてのメモリセルは、フローティングゲートへの電荷の注入が行なわれてしきい値が高い状態（論理“1”）にされる。

#### 【0068】

なお、データ読出し時には、全てのビット線BLが1.0Vのような電位にプリチャージされた後、供給されたアドレスに対応した1本のワード線が選択されて4.2Vのような電圧が印加される。また、ソース側の選択スイッチMOSFET Qs2がオンされるとともに切替えスイッチSW1が接地点側に切り替えられて、共通ソース線SLを介してソースに0Vの電圧が印加される。これによって、選択されたワード線に接続されたメモリセルは、そのしきい値に応じてし



きい値が低いときは電流が流れてビット線B Lの電位が下がり、しきい値が高いときは電流が流れないためビット線B Lの電位がプリチャージレベルに維持される。そして、この電位差がセンスアンプS Aによって増幅、検出される。

#### 【 0 0 6 9 】

図 1 3 には、上記のように構成されたフラッシュメモリ内蔵マイコンを用いた本発明に係る媒体再生装置の一例としてのC D - R O Mドライブ装置の一構成例を示す。

#### 【 0 0 7 0 】

図 1 3 において、1 0 0 はC D（コンパクトディスク）のような記録媒体、1 1 0 はディスク 1 0 0 を回転駆動するスピンドルモータ、1 2 0 は半導体レーザ素子やレンズなどの光学系を有するピックアップ、1 3 0 はピックアップ 1 2 0 を移動させるボイスコイルモータのようなアクチュエータである。

#### 【 0 0 7 1 】

2 1 0 は上記スピンドルモータ 1 1 0 およびボイスコイルモータ 1 3 0 の駆動を行なうモータドライバで、スピンドルモータ駆動回路とボイスコイルモータ駆動回路とからなる。上記モータドライバ 2 1 0 はスピンドルモータ駆動回路とボイスコイルモータ駆動回路とからなり、ヘッドの相対速度を一定にするようにスピンドルモータ駆動回路がサーボ制御されるとともに、ヘッドの中心をトラックの中心に一致させるようにボイスコイルモータ駆動回路がサーボ制御される。

#### 【 0 0 7 2 】

2 2 0 は上記ピックアップ 1 2 0 によって検出され光電変換された信号を増幅するリード・アンプ、2 3 0 は、リード・アンプ 2 2 0 から送られてくる読出し信号に対して波形整形や復調処理、誤り訂正処理等の信号処理をしてデータを再生する信号処理回路、2 4 0 は再生データをデコード（復号）したり本装置と外部装置との間のデータの受渡しおよび制御等を行なうデコーダ&インタフェース回路、2 5 0 はシステム全体を統括的に制御する前記実施例のフラッシュメモリ内蔵マイコン、2 6 0 はコンパクト・ディスクから高速で読み出されたリードデータを一時的に記憶するバッファ用のキャッシュメモリである。キャッシュメモリを備えることによって、前回読出しが行なわれたデータもしくはそれと同一

のセクタのデータに対する読出し要求があった場合に、ディスクからのデータの読出しを行わずにキャッシュメモリから直ちにデータを送ることができる。また、当該媒体再生装置によるデータ書込み速度が、媒体再生装置とデータを要求する他の装置との間のデータ転送速度よりも遅い場合に、キャッシュメモリを利用することで他の装置の待ち時間を短縮することができる。

#### 【 0 0 7 3 】

上記モータドライバ 2 1 0、リードアンプ 2 2 0、信号処理回路 2 3 0、デコーダ&インタフェース回路 2 4 0、フラッシュメモリ内蔵マイコン 2 5 0、キャッシュメモリ 2 6 0 によって媒体再生装置としてのコンパクトディスク装置が構成され、該装置とスピンドルモータ 1 1 0、ピックアップ 1 2 0 およびボイスコイルモータ 1 3 0 によって媒体再生装置の一例としての CD-ROM ドライブ装置 2 0 0 が構成される。

#### 【 0 0 7 4 】

この実施例の CD-ROM ドライブ装置では、上記フラッシュメモリ内蔵マイコン 2 5 0 が、デコーダ&インタフェース回路 2 4 0 から供給される信号に基づいていずれの動作モードか判定し動作モードに対応してシステム各部の制御を行ったりアドレス情報に基づいてセクタ位置などを算出したりする。また、フラッシュメモリ内蔵マイコン 2 5 0 は、デコーダ&インタフェース回路 2 4 0 を介してホストコンピュータ 3 0 0 から、内蔵フラッシュメモリに記憶すべき当該ドライブ装置のメカ的なばらつき値や再生する CD-ROM の特性などの情報を受け取ると、前述した関数（図 7 ～図 9 参照）に従って、フラッシュメモリのユーザデータエリアに対するデータの書込みを行ったりする。

#### 【 0 0 7 5 】

具体的には、例えば図 1 4 (A) に示すように、テスト用のディスクをドライブ装置に挿入してアクセスを行なう（ステップ S 4 1）。そして、ピックアップを通して得られた情報と予め用意されている最適値とを比較してメカニズムの誤差を算出する（ステップ S 4 2）。算出された誤差は、当該ドライブ装置のばらつき値としてフラッシュメモリに書き込む（ステップ S 4 3）。このような処理は、例えば、メーカーがドライブ装置を出荷する直前に行なうようにする。

## 【 0 0 7 6 】

一方、出荷後、ドライブ装置のフラッシュメモリ内蔵マイコンは、電源投入時に図 1 4 ( B ) に示すような手順に従って、まずフラッシュメモリから記憶されている上記ばらつき値を読み出す ( ステップ S 5 1 ) 。そして、そのばらつき値に基づいてスピンドルモータ 1 1 0 やアクチュエータ 1 2 0 の駆動信号、半導体レーザの出力レベルなどの補正値を演算し、得られた補正値に基づいて補正制御を行なう ( ステップ S 5 2 ) 。また、ドライブ装置のフラッシュメモリ内蔵マイコンは、ディスクのアクセス開始時に、ディスクに記録されているメディアの種別や特性を示す情報があるか否か調べる ( ステップ S 5 3 ) 。そして、記録された情報がある場合にはそれを読み出して、挿入されたメディアに応じて初期値として記憶されているデータに基づいて半導体レーザの出力レベルなどを決定し、補正する ( ステップ S 5 4 ) 。一方、記録された情報がない場合には、初期設定されている基準値を用いてメディアに対するアクセスを行なう ( ステップ S 5 5 ) 。

## 【 0 0 7 7 】

さらに、追記型の C D - R ドライブ装置や書換え可能な C D - R W ドライブ装置においては、図 1 4 ( A ) , ( B ) のような制御の他に、種別情報や特性情報の記録がなく特性が分かっていないメディアが挿入されたような場合には、初期値に基づいて予め用意されている所定の試し書き領域に書込みとベリファイ読出しを行なって、レーザの強度と照射時間および読出し信号レベルをフラッシュメモリに書き込んで、次に同一メディアが挿入された場合に、フラッシュメモリに書き込まれている情報を利用して補正するような制御を行なうようにシステムあるいはユーザプログラムを構成することができる。また、レーザの照射累計時間や媒体の累計書込み枚数などもフラッシュメモリに書き込むようにしてもよい。

## 【 0 0 7 8 】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、前記実施例においては、フラッシュメモリ内のユーザデータエリア U D A の 1 ユニットのユーザデータが有為か

否かを示す検索用タグバイトRTBとして1バイトを割り当てているが、前記実施例の場合には1ビットとすることも可能である。さらに、検索用タグバイトRTBには、126バイトのうち先頭から何バイトまでが有効であるか表わす情報を格納することも可能である。すなわち、検索用タグバイトRTBの8ビットのうち所定の1ビット（例えば先頭ビット）を“0”に設定してユーザデータが有効であることを示し、残りの7ビットで有効バイト数を示すように制御することができる。

#### 【0079】

また、前記実施例においては、フラッシュメモリ内のユーザデータエリアUDAの1ユニットの大きさを128バイトとしたが、1本のワード線に接続されるメモリセルの数を変えてやることで、256バイトあるいは64バイトなど任意のバイト数とすることができる。さらに、ソフトウェアによる処理で1ユニットを256バイトや512バイトなどとすることも可能である。その場合、図8のステップS25におけるユニットポインタの更新を「+2」や「+3」ずつ増やしたり、ステップS26における書込み処理の際に、ポインタの値から2つあるいは3つの物理アドレスを演算してデータの書込みを2回あるいは3回に分けて行なうようにすれば良い。

#### 【0080】

さらに、上記実施例においては、パソコン本体とは別個の框体に構成された外付け型のCDドライブ装置について説明したが、本発明はパソコンの框体内に取り付けられるパソコン内蔵型CDドライブ装置などにも適用できることはいうまでもない。

#### 【0081】

また、以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるCDドライブ装置に適用した場合について説明したが、本発明はそれに限定されるものでなく、MO（磁気光）ドライブ装置やDVD（デジタル・ビデオ・ディスク）ドライブ装置など記録媒体の再生装置一般に利用することができる。

#### 【0082】

## 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

## 【0083】

すなわち、本発明に従うと、記憶素子それ自身の書換え可能回数は少なくとも外部から見た書換え回数を大幅に多くすることができるフラッシュメモリを内蔵したマイクロコンピュータを実現し、これによってEEPROMを必要としない安価な媒体再生装置を実現することができる。また、最終ユーザーの使用状態においてもシステムに関わるデータを内蔵メモリに比較的多くの回数書き込むことができ、しかもコストアップを抑えることができるマイクロコンピュータを搭載した媒体再生装置を実現することができる。

## 【図面の簡単な説明】

## 【図1】

本発明が適用されるフラッシュメモリ内蔵マイコンの一例の概略構成を示すブロック図である。

## 【図2】

内蔵フラッシュメモリのアドレス空間構成を示すメモリマップである。

## 【図3】

本発明が適用されたフラッシュメモリ内蔵マイコンにおける内蔵フラッシュメモリに対する書込み手順の一例を示す説明図である。

## 【図4】

本発明が適用されたフラッシュメモリ内蔵マイコンにおけるユーザデータ管理モジュールとユーザデータエリアおよびユーザプログラムとの関係を示す説明図である。

## 【図5】

本発明が適用されたフラッシュメモリ内蔵マイコンにおける1ユニットのユーザデータの構成例を示す説明図である。

## 【図6】

本発明が適用されたフラッシュメモリ内蔵マイコンにおけるユーザデータエリ

アのデータ格納状態の一例を示す説明図である。

【図 7】

本発明が適用されたフラッシュメモリ内蔵マイコンにおけるユーザデータ管理モジュールを構成する関数としてのユニット検索処理の具体的手順の一例を示すフローチャートである。

【図 8】

ユーザデータ管理モジュールを構成する関数としてのユーザデータ書込み処理の具体的手順の一例を示すフローチャートである。

【図 9】

ユーザデータ管理モジュールを構成する関数としてのユーザデータ読出し処理の具体的手順の一例を示すフローチャートである。

【図 1 0】

本発明が適用されたフラッシュメモリ内蔵マイコンにおける内蔵フラッシュメモリの一例の概略構成を示すブロック図である。

【図 1 1】

内蔵フラッシュメモリのメモリセルとしての記憶素子の構造および書込み時と消去時のバイアス状態の一例を示す断面図である。

【図 1 2】

内蔵フラッシュメモリのメモリアレイ部の回路構成例を示す回路図である。

【図 1 3】

本発明に係る媒体再生装置の一例としてのCD-ROMドライブ装置の一構成例を示すブロック図である。

【図 1 4】

実施例のCD-ROMドライブ装置におけるメカのばらつきの検出処理およびばらつき値に基づく調整処理の手順の一例を示すフローチャートである。

【図 1 5】

媒体再生装置の一例としての光ディスクドライバとそれを使用したシステムの構成例を示す概略図である。

【符号の説明】

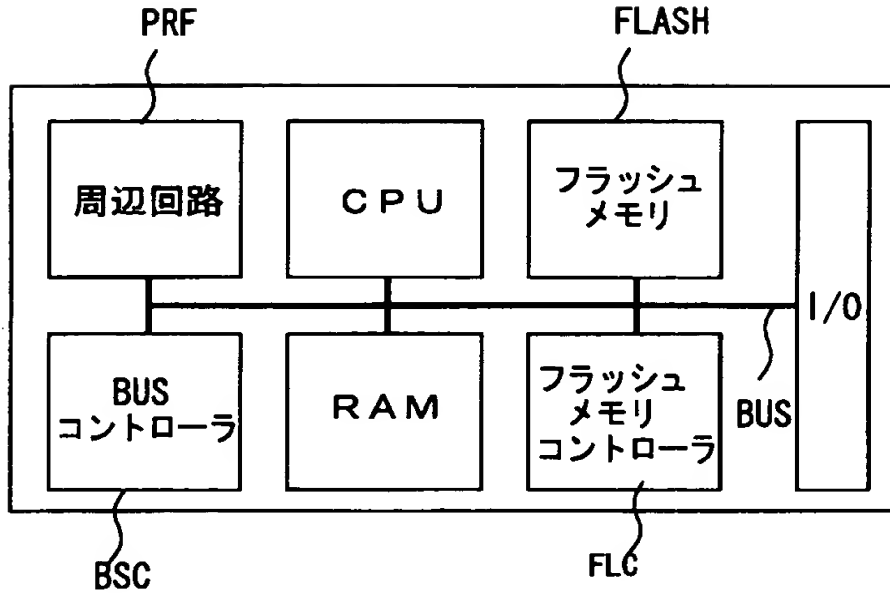
FLASH 内蔵フラッシュメモリ  
 BUS 内部バス  
 VTA ベクタテーブルエリア  
 UDA ユーザデータエリア  
 UPA ユーザプログラムエリア  
 UNT1～UNT96 ユニット  
 EB1～EB3 ブロック  
 UDMM ユーザデータ管理モジュール  
 UP ユニットポインタ  
 RTB 検索用データ（検索用タグバイト）  
 SUM チェック用データ  
 C-GATE コントロールゲート  
 F-GATE フローティングゲート  
 P-SUB 半導体基板  
 S ソース領域  
 D ドレイン領域  
 MC メモリセル（記憶素子）  
 WL ワード線  
 BL ビット線  
 SL 共通ソース線  
 LDL ローカルドレイン線  
 LSL ローカルソース線  
 SL 共通ソース線  
 SA センスアンプ  
 11 メモリアレイ  
 15 Xデコーダ回路  
 16 Yデコーダ回路  
 100 媒体（コンパクトディスク）  
 110 媒体駆動手段（スピンドルモータ）

- 1 2 0 読取り手段（ピックアップ）
- 2 0 0 媒体再生装置（CDドライブ装置）
- 2 5 0 フラッシュメモリ内蔵マイコン
- 2 6 0 制御基板
- 3 0 0 ケーブル

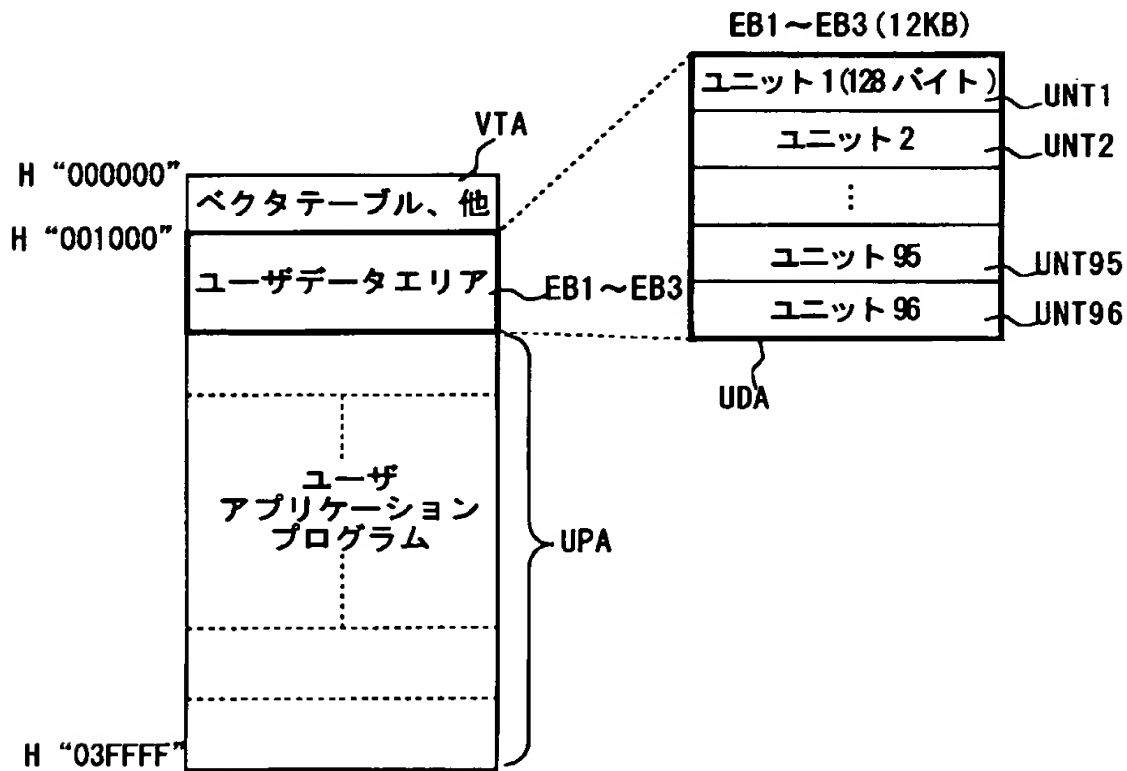


【書類名】 図面

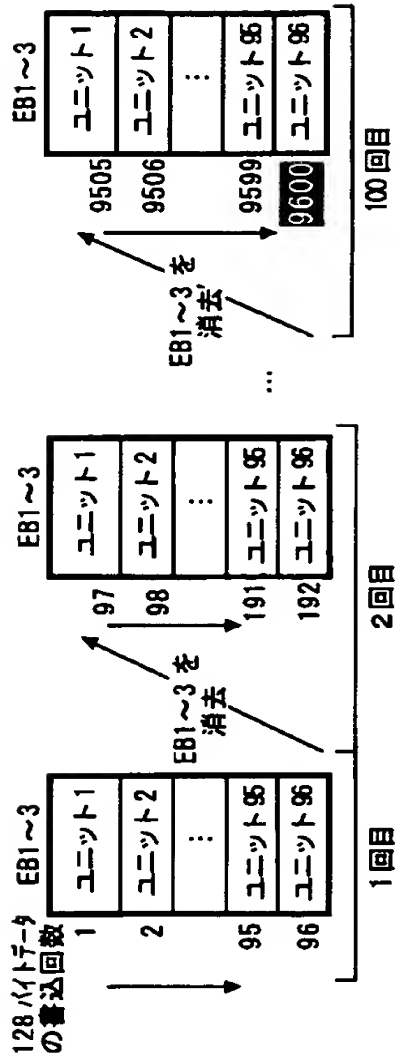
【図 1】



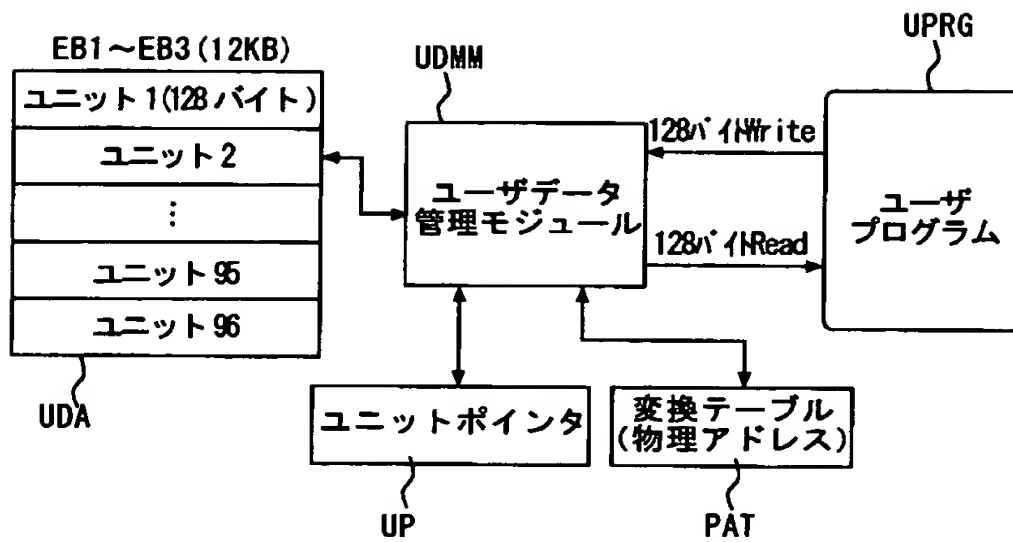
【図 2】



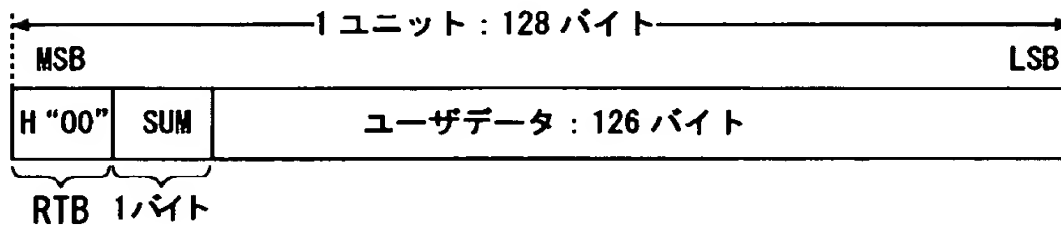
【図 3】



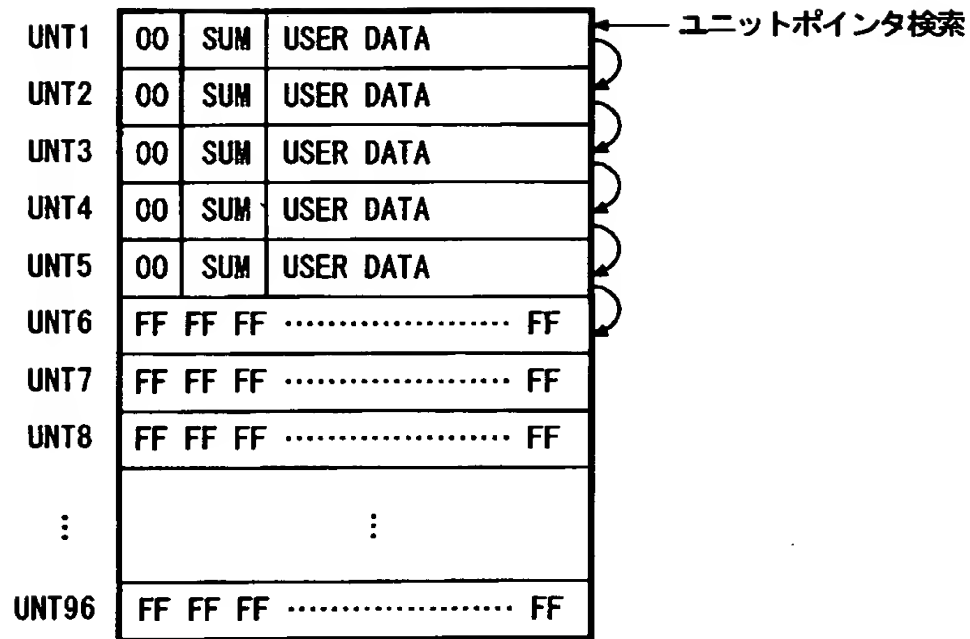
【図 4】



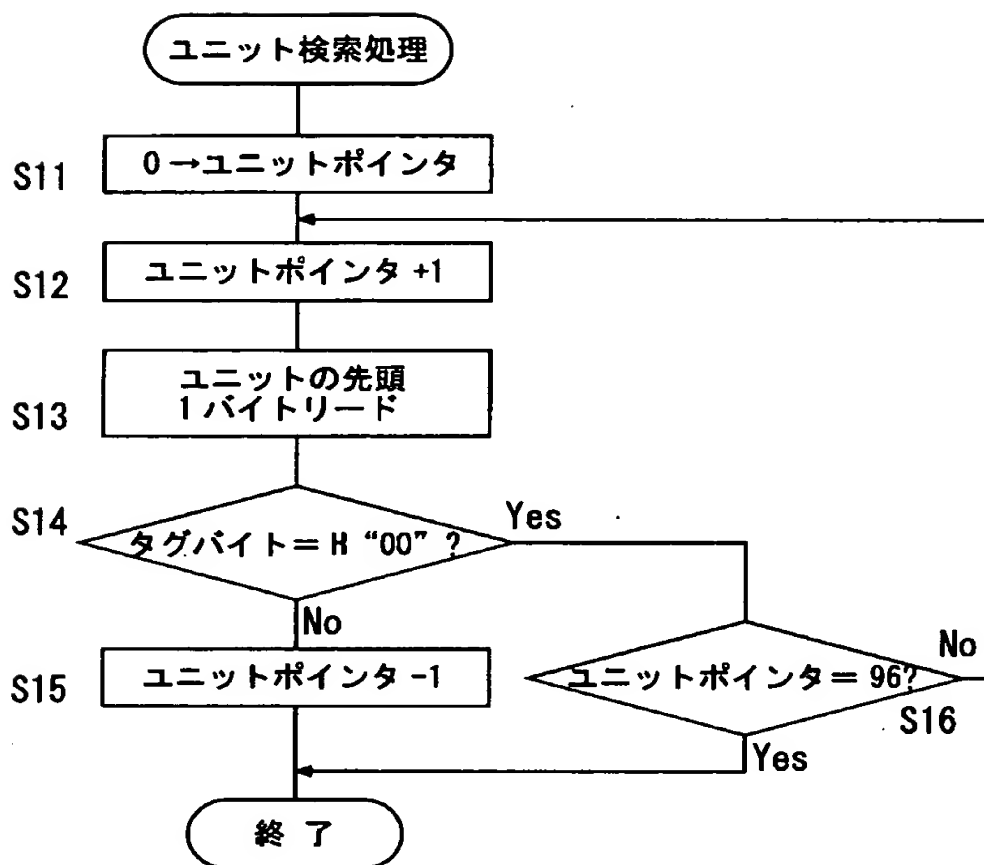
【図 5】



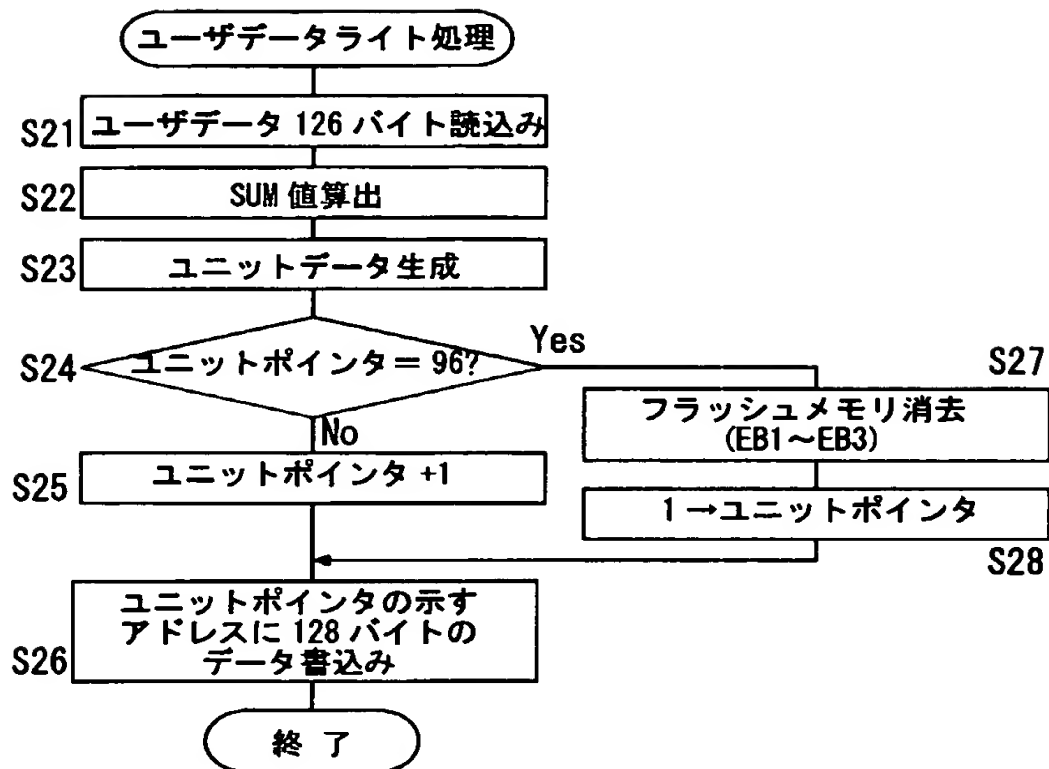
【図 6】



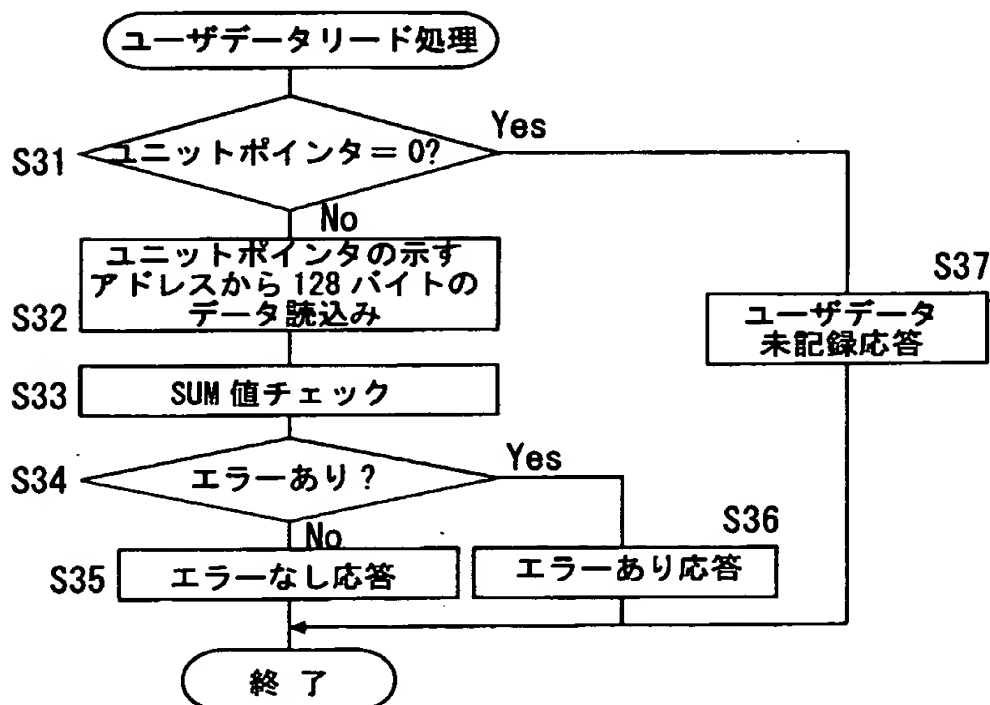
【図 7】



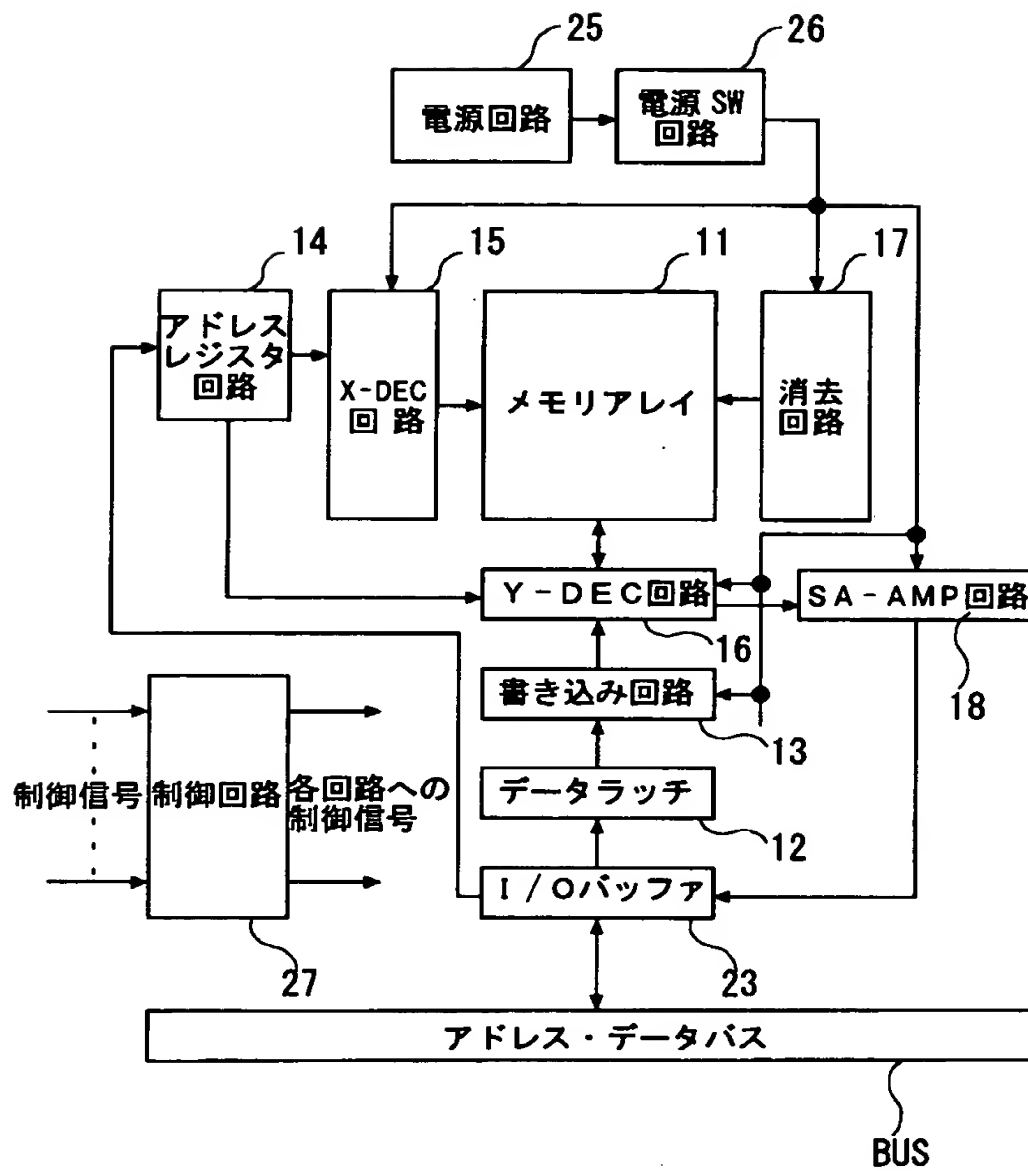
【図 8】



【図 9】

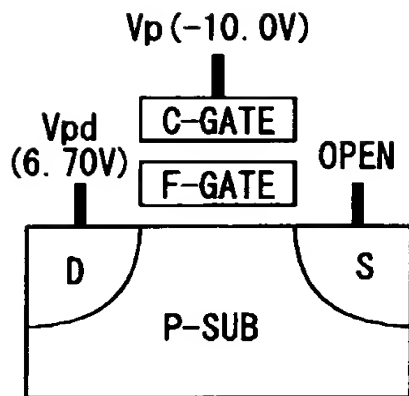


【図10】

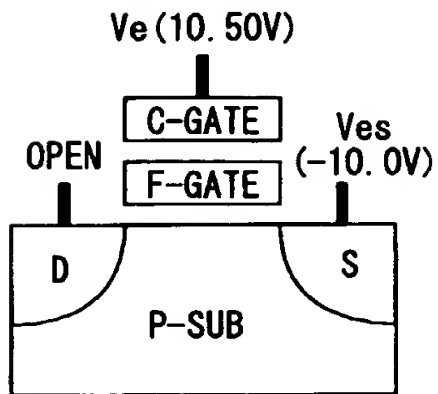


【図 1 1】

(A)

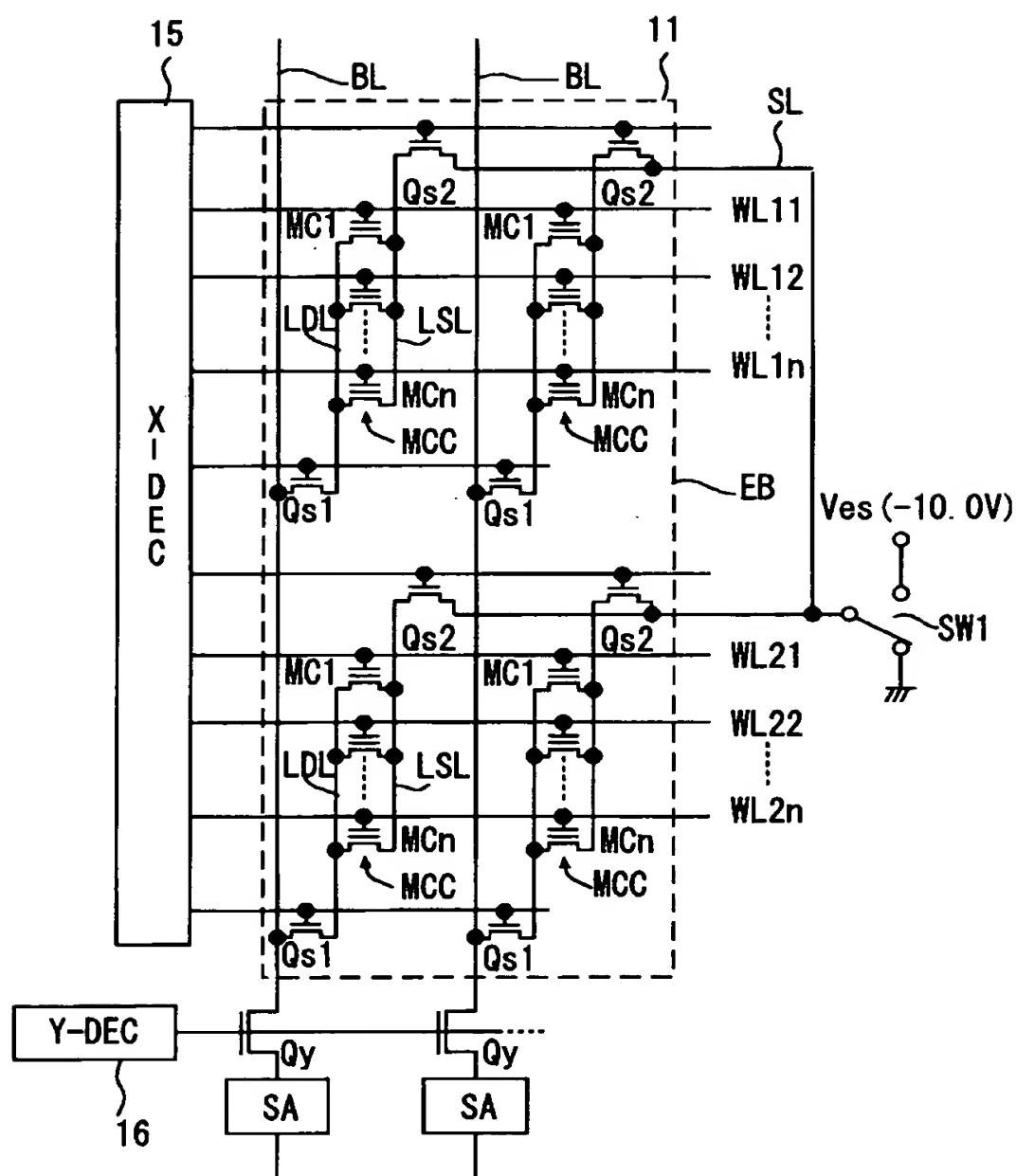


(B)

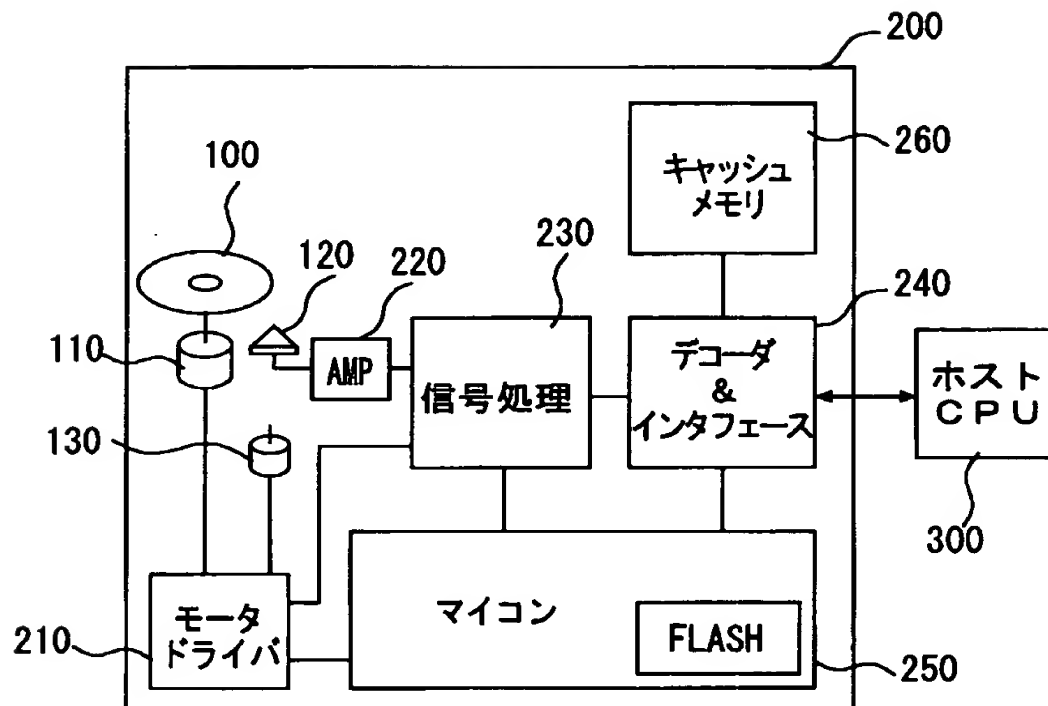




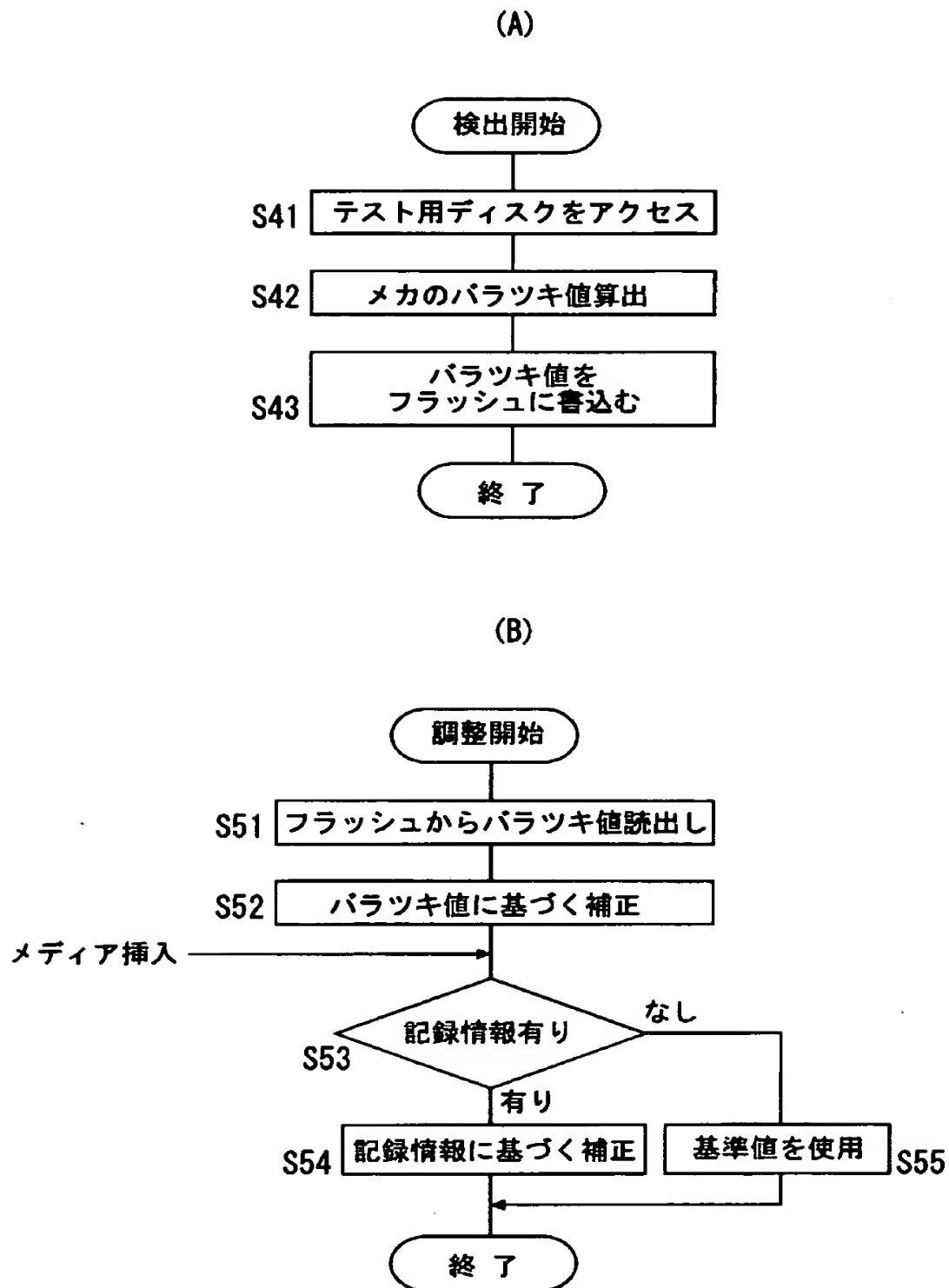
【図 1 2】



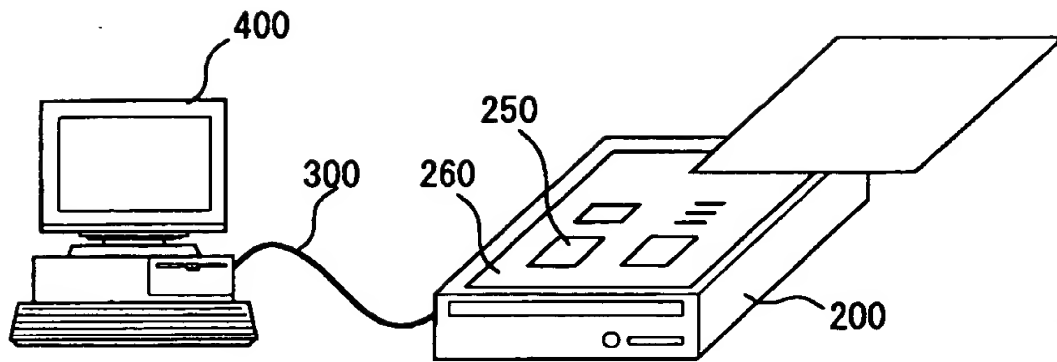
【図 1 3】



【図 1 4】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 従来のフラッシュメモリ内蔵マイコンは、内蔵フラッシュメモリの書換え回数として100回程度が保証されているに過ぎないため不十分であり、1万回程度の書換え回数の保証が要求されようになってきている。

【解決手段】 媒体再生装置の制御装置として使用されるマイクロコンピュータに内蔵された不揮発性メモリのユーザデータ記憶領域のような所定の領域を、ユニット単位で書込みを行なえブロック単位で消去を行なえるように構成するとともに、ユーザデータ記憶領域への書込み処理が発生した場合には上記ユニットを更新しながらデータの書込みを順次行ない、全ユニットに対して書込みが行なわれた場合に上記所定の領域に含まれるブロックに関してデータ消去を行ない、消去されたブロックに対して次のデータの書込みを行なうように構成した。

【選択図】 図4

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 0 - 2 6 2 6 8 6
受付番号	5 0 0 0 1 1 0 9 5 7 5
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 2 年 9 月 1 日

< 認定情報・付加情報 >

【提出日】	平成12年 8月31日
-------	-------------

【書類名】 手続補正書

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2000-262686

【補正をする者】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【補正をする者】

【識別番号】 000233169

【氏名又は名称】 株式会社 日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 発明者

【補正方法】 変更

【補正の内容】

【発明者】

【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社 日立超エル・エス・アイ・システムズ内

【氏名】 ▲高▼橋 博政

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

【氏名】 磯 佳実

【発明者】

【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社 日

立超エル・エス・アイ・システムズ内

【氏名】

大和 敏

【その他】

本出願は、願書の【発明者】欄において誤記がありました。【発明者】磯 佳実の【氏名】欄において、「磯」を「磯」と誤って記載してしまいました。正しくは、補正書に記載の通り「磯」であります。これは単に記載ミスであり、ここに訂正を致しますので宜しくお取りはか  
らいの程お願い申し上げます。

【ブルーフの要否】 要



認定・付加情報

特許出願の番号	特願 2 0 0 0 - 2 6 2 6 8 6
受付番号	5 0 0 0 1 1 2 9 1 1 9
書類名	手続補正書
担当官	濱谷 よし子 1 6 1 4
作成日	平成 1 2 年 9 月 8 日

<認定情報・付加情報>

【提出日】	平成12年 9月 5日
-------	-------------

出 願 人 履 歴 情 報

識別番号                    [ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日	1 9 9 0 年    8 月 3 1 日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台 4 丁目 6 番地
氏 名	株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 2 3 3 1 6 9 ]

1. 変更年月日 1 9 9 8 年 4 月 3 日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号

氏 名 株式会社日立超エル・エス・アイ・システムズ